

10-26-1998

Form-PTO-1595
1-31-92TRANSMITTAL OF DOCUMENTS
PATENTS

Docket: 35.G2240

100860473

To the Assistant Commissioner for Patents: Please receive

thereof.

1. Name of conveying party(ies):

YASUYUKI TANAKA

Additional name(s) of conveying party(ies) attached?

☐ Yes☒ No

2. Nature of conveyance:

☒ Assignment☐ Merger☐ Security Agreement☐ Change of Name☐ Other

Execution Date: October 15, 1998

2. Name and address of receiving party(ies):

Name: CANON KABUSHIKI KAISHA

Foreign Address: 30-2, 3-chome, Shimomaruko, Ohta-ku

Tokyo, Japan

Domestic Address:

City: State ZIP

Additional name(s) & address(es) attached? ☐ Yes ☒ No

4. Application number(s) or patent number(s):

If this document is being filed together with a new application, the execution date of the application is:

A. Patent Application Number: 09/150,838

Filing Date: September 10, 1998

B. Title of Invention: APPARATUS AND METHOD
FOR CONTROLLING A MEMORY, AND PROGRAM
INCLUDED IN A MEDIUM READABLE BY A
COMPUTER

Additional numbers attached?

☐ Yes☒ No

5. Name and address of party to whom correspondence concerning document should be mailed:

Name: Fitzpatrick, Cella, Harper & Scinto

30 Rockefeller Plaza

New York, New York 10112-3801

Telephone No.: (212) 218-2100

Facsimile No.: (212) 218-2200

6. Number of applications and patents involved:

One

7. Total fee (37 CFR 3.41): \$ 40.00

☒ Enclosed☐ Authorized to be charged to deposit account

8. Deposit account number (for deficiency or excess)

06-1205

(Attach duplicate copy of this page if paying by deposit account):

10/23/1998 TTU11 00000258 09150838

01 FC:581

40.00 00

DO NOT USE THIS SPACE

9. Statement and signature.

To the best of my knowledge and belief, the foregoing information is true and the attached is the original document or is a true copy of the original document.

Leonard P. Diana

Name of Person Signing

Signature

October 20, 1998

Date

Total number of pages including cover sheet, attachments, and documents: 2

SOLE
(AFTER APPLICATION FILED)

ASSIGNMENT OF PATENT RIGHTS FOR THE UNITED STATESFOR VALUE RECEIVED, I, **Yasuyuki Tanaka**citizen of **Japan,**residing at **5-14-10, Narita-higashi, Suginami-ku, Tokyo, Japan,**hereby sell, assign, transfer and convey unto **Canon Kabushiki Kaisha**

a corporation of Japan

having a place of business at 30-2, Shimomaruko 3-chome, Ohta-ku, Tokyo, Japan

its successors, assigns and legal representatives (hereinafter called the "Assignee"), the entire right, title and interest, for the United States, in and to certain inventions relating to

**APPARATUS AND METHOD FOR CONTROLLING A MEMORY,
AND PROGRAM INCLUDED IN A MEDIUM READABLE BY A COMPUTER**and described in an application for Letters Patent of the United States filed by me on **September 10, 1998**
and which has been accorded Application No. **09/150,838**

and in and to said application, and all divisions, renewals and continuations thereof, and all Letters Patent of the United States which may be granted, thereon, and all reissues and extensions thereof; and I hereby authorize and request the Commissioner for Patents and Trademarks of the United States to issue all Letters Patent upon said inventions to the Assignee or to such nominees as it may designate.

AND I authorize and empower the said Assignee or nominees to invoke and claim for any application for patent or other form of protection for said inventions, the benefit of the right of priority provided by the International Convention for the Protection of Industrial Property, as amended, or by any convention which may henceforth be substituted for it, and to invoke and claim such right of priority without further written or oral authorization from me.

AND I hereby consent that a copy of this assignment shall be deemed a full legal and formal equivalent of any assignment, consent to file or like document which may be required in the United States for any purpose and more particularly in proof of the right of said Assignee or nominees to claim the aforesaid benefit of the right of priority provided by the International Convention for the Protection of Industrial Property, as amended, or by any convention which may henceforth be substituted for it.

AND I hereby covenant that I have the full right to convey the entire right, title and interest herein assigned and that I have not executed and will not execute any agreement in conflict herewith.

AND I hereby covenant and agree that I will communicate to said Assignee or nominees all facts known to me pertaining to said inventions, and testify in all legal proceedings, sign all lawful papers, execute all divisional, continuing and reissue applications, make all rightful oaths and declarations and in general perform all lawful acts necessary or proper to aid said Assignee or nominees in obtaining, maintaining and enforcing all lawful patent protection for said inventions in the United States.

By: *Yasuyuki Tanaka*
Yasuyuki TanakaDate: *October 15, 1998*

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

(F.F. 2.1.1.1)
09/150,838
GAIL 2818

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

1997年 9月12日

出願番号
Application Number:

平成 9年特許願第248515号

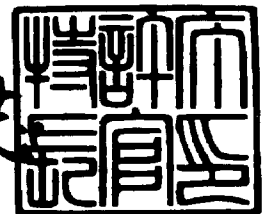
出願人
Applicant (s):

キヤノン株式会社

1998年10月 2日

特許庁長官
Commissioner,
Patent Office

山田 健志



出証番号 出証特平10-3080074

PATENT
REEL: 9522 FRAME: 0277

【書類名】 特許願

【整理番号】 3557047

【提出日】 平成 9年 9月12日

【あて先】 特許庁長官 荒井 寿光 殿

【国際特許分類】 H04L 13/08

【発明の名称】 メモリ制御装置及び方法、送信装置、受信装置

【請求項の数】 36

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号キヤノン株式会社
内

【氏名】 田中 康之

【特許出願人】

【識別番号】 000001007

【郵便番号】 146

【住所又は居所】 東京都大田区下丸子3丁目30番2号

【氏名又は名称】 キヤノン株式会社

【代表者】 御手洗 富士夫

【電話番号】 03-3758-2111

【代理人】

【識別番号】 100069877

【郵便番号】 146

【住所又は居所】 東京都大田区下丸子3丁目30番2号キヤノン株式会社
内

【弁理士】

【氏名又は名称】 丸島 儀一

【電話番号】 03-3758-2111

【手数料の表示】

【予納台帳番号】 011224

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9703271

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 メモリ制御装置及び方法、送信装置、受信装置

【特許請求の範囲】

【請求項1】 固定長データを所定数記憶するメモリから読み出されたデータ量を検出する検出手段と、

前記検出手段により検出されたデータ量を所定値と比較する比較手段と、

前記比較手段の比較結果に応じて前記メモリの読み出しアドレスを制御する制御手段とを具備することを特徴とするメモリ制御装置。

【請求項2】 請求項1において、前記検出手段は、前記メモリに記憶された固定長データを読み出す期間に読み出されたデータ量を検出することを特徴とするメモリ制御装置。

【請求項3】 請求項2において、前記検出手段は、前記読み出し期間内のクロックをカウントするカウント手段を含み、前記読み出し期間の終了時のカウンタ値から該読み出し期間に読みだされたデータ量を検出することを特徴とするメモリ制御装置。

【請求項4】 請求項1～3の何れかにおいて、前記所定値は、0若しくは前記固定長データのデータ量の整数倍であることを特徴とするメモリ制御装置。

【請求項5】 請求項1～4の何れかにおいて、前記制御手段は、前記比較手段の比較結果に応じて前記メモリの読み出しアドレスを前記所定値分シフトすることを特徴とするメモリ制御装置。

【請求項6】 請求項1～4の何れかにおいて、前記制御手段は、前記比較手段の比較結果に応じて前記メモリの読み出しアドレスを前記所定値にプリセットすることを特徴とするメモリ制御装置。

【請求項7】 請求項1～6の何れかにおいて、前記メモリは、FIFOメモリであることを特徴とするメモリ制御装置。

【請求項8】 請求項1～7の何れかにおいて、前記メモリに記憶されるデータは、圧縮符号化された画像データであることを特徴とするメモリ制御装置。

【請求項9】 請求項1～8の何れかにおいて、前記メモリ制御装置は更に、前記メモリの読み出し期間を制御するリードイネーブル信号を入力する入力手

段と、

前記メモリの書き込み期間を制御するライトイネーブル信号を生成する書き込み信号生成手段を具備し、

前記リードイネーブル信号は前記メモリ制御装置の外部にて生成され、前記ライトイネーブル信号は前記メモリ制御装置の内部にて生成されることを特徴とするメモリ制御装置。

【請求項10】 固定長データを所定数記憶するメモリに書き込まれたデータ量を検出する検出手段と、

前記検出手段により検出されたデータ量を所定値と比較する比較手段と、

前記比較手段の比較結果に応じて前記メモリの書き込みアドレスを制御する制御手段とを具備することを特徴とするメモリ制御装置。

【請求項11】 請求項10において、前記検出手段は、前記メモリに記憶された固定長データを書き込む期間に書き込まれたデータ量を検出することを特徴とするメモリ制御装置。

【請求項12】 請求項11において、前記検出手段は、前記書き込み期間内のクロックをカウントするカウント手段を含み、前記書き込み期間の終了時のカウンタ値から該書き込み期間に書き込まれたデータ量を検出することを特徴とするメモリ制御装置。

【請求項13】 請求項10～12の何れかにおいて、前記所定値は、0若しくは前記固定長データのデータ量の整数倍であることを特徴とするメモリ制御装置。

【請求項14】 請求項10～13の何れかにおいて、前記制御手段は、前記比較手段の比較結果に応じて前記メモリの書き込みアドレスを前記所定値分シフトすることを特徴とするメモリ制御装置。

【請求項15】 請求項10～13の何れかにおいて、前記制御手段は、前記比較手段の比較結果に応じて前記メモリの書き込みアドレスを前記所定値にブリセットすることを特徴とするメモリ制御装置。

【請求項16】 請求項10～15の何れかにおいて、前記メモリは、FIFOメモリであることを特徴とするメモリ制御装置。

【請求項 17】 請求項 10～16 の何れかにおいて、前記メモリに記憶されるデータは、圧縮符号化された画像データであることを特徴とするメモリ制御装置。

【請求項 18】 請求項 10～17 の何れかにおいて、前記メモリ制御装置は更に、前記メモリの書き込み期間を制御するライトイネーブル信号を入力する入力手段を具備し、

前記ライトイネーブル信号は、前記メモリ制御装置の外部にて生成されることを特徴とするメモリ制御装置。

【請求項 19】 外部よりパケット伝送された固定長データを受信する受信手段と、

前記受信手段により受信された固定長データを所定数を記憶する記憶手段と、

前記記憶手段から読み出されたデータ量を検出する検出手段と、

前記検出手段により検出されたデータ量を所定値と比較する比較手段と、

前記比較手段の比較結果に応じて前記記憶手段の読み出しアドレスを制御する制御手段とを具備することを特徴とする受信装置。

【請求項 20】 請求項 19 において、前記検出手段は、前記固定長データの読み出しを指示する期間内に読み出されたデータ量を検出することを特徴とする受信装置。

【請求項 21】 請求項 19 若しくは 20 において、前記所定値は、0 若しくは前記固定長データのデータ量の整数倍であることを特徴とする受信装置。

【請求項 22】 請求項 19～21 の何れかにおいて、前記制御手段は、前記比較手段の比較結果に応じて前記記憶手段の読み出しアドレスを前記所定値分シフトすることを特徴とする受信装置。

【請求項 23】 請求項 19～21 の何れかにおいて、前記制御手段は、前記比較手段の比較結果に応じて前記記憶手段の読み出しアドレスを前記所定値にプリセットすることを特徴とする受信装置。

【請求項 24】 請求項 19～23 の何れかにおいて、前記受信手段は、所定の通信サイクル毎にパケット伝送された固定長データを受信することを特徴とする受信装置。

【請求項 25】 請求項 19～24 の何れかにおいて、前記記憶手段に記憶された固定長データは、前記受信装置と接続された記録装置に記録されることを特徴とする受信装置。

【請求項 26】 固定長データを所定数を記憶する記憶手段と、
前記記憶手段に記憶されたデータを前記固定長データ毎にパケット化し、外部に送信する送信手段と、
前記記憶手段に書き込まれたデータ量を検出する検出手段と、
前記検出手段により検出されたデータ量を所定値と比較する比較手段と、
前記比較手段の比較結果に応じて前記記憶手段の書き込みアドレスを制御する制御手段とを具備することを特徴とする送信装置。

【請求項 27】 請求項 26 において、前記検出手段は、前記固定長データの書き込みを指示する期間内に書き込まれたデータ量を検出することを特徴とする送信装置。

【請求項 28】 請求項 26 若しくは 27 において、前記所定値は、0 若しくは前記固定長データのデータ量の整数倍であることを特徴とする送信装置。

【請求項 29】 請求項 26～28 の何れかにおいて、前記制御手段は、前記比較手段の比較結果に応じて前記記憶手段の書き込みアドレスを前記所定値分シフトすることを特徴とする送信装置。

【請求項 30】 請求項 26～28 の何れかにおいて、前記制御手段は、前記比較手段の比較結果に応じて前記記憶手段の書き込みアドレスを前記所定値にプリセットすることを特徴とする送信装置。

【請求項 31】 請求項 26～30 の何れかにおいて、前記送信手段は、前記固定長データ毎にパケット化された各パケットデータを所定の通信サイクル毎にパケット伝送することを特徴とする送信装置。

【請求項 32】 請求項 26～31 の何れかにおいて、前記記憶手段に記憶された固定長データは、前記送信装置と接続されたカメラ装置によって生成された画像情報若しくは再生装置によって再生された画像情報よりなることを特徴とする送信装置。

【請求項33】 所定量のデータからなるパケットを一単位として、データを記憶するメモリを制御するメモリ制御装置であって、

過去に読み出されたパケットのプリセットアドレスに対して前記所定量のデータに対応する量分アドレスをシフトすることにより、次に読み出されるパケットのプリセットアドレスを設定するアドレス制御手段を具備することを特徴とするメモリ制御装置。

【請求項34】 所定量のデータからなるパケットを一単位として、データを記憶するメモリを制御するメモリ制御装置であって、

過去に書き込まれたパケットのプリセットアドレスに対して前記所定量のデータに対応する量分アドレスをシフトすることにより、次に書き込まれるパケットのプリセットアドレスを設定するアドレス制御手段を具備することを特徴とするメモリ制御装置。

【請求項35】 固定長データを所定数記憶するメモリから読み出されたデータ量を検出し、該検出されたデータ量を所定値と比較し、該比較結果に応じて前記メモリの読み出しアドレスを制御することを特徴とするメモリ制御方法。

【請求項36】 固定長データを所定数記憶するメモリに書き込まれたデータ量を検出し、該検出されたデータ量を所定値と比較し、該比較結果に応じて前記メモリの書き込みアドレスを制御することを特徴とするメモリ制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はメモリ制御装置及び方法、送信装置、受信装置に係り、特にメモリに対する読み出し及び書き込み制御に関するものである。

【0002】

【従来の技術】

近年、デジタル技術の発展に伴い、膨大なデータ量のデジタルデータ（例えば、動画像データ）を圧縮符号化することによってデータ量の削減を行い、比較的低い伝送レートで記録媒体等に伝送する装置が開発されている。

【0003】

この種の装置として、最近、HD民生用デジタルVCR評議会により、デジタル化されたビデオ信号を磁気テープに対して記録再生するデジタルVTRのフォーマットが規格化された。

【0004】

この規格に基づくデジタルVTRでは、入力されたビデオ信号をDCT、量子化、更に可変長符号化の技術を用いて圧縮符号化し、その情報量を125Mbps程度から25Mbps程度に圧縮している。このように圧縮されたビデオ信号は、メモリを介してエラー検出／訂正用の検出訂正符号（例えば、リードソロモン積符号）が付加され、磁気テープに所定のデータ形式で記録される。

【0005】

また、前記規格に基づいて生成されたビデオ信号は、所定単位のブロックデータ毎にパケッタイズされ、デジタルインタフェースを介して外部の記録装置等へ高速に伝送することもできる。

【0006】

【発明が解決しようとする課題】

このように、デジタルVTRにより圧縮符号化されたデジタルビデオ信号をリアルタイムに記録、再生する場合、或いは外部の機器（例えば、他のデジタルVTR）に対してリアルタイムに送信、受信する場合、通常、複数フレーム単位のビデオ信号を一時的に記憶可能なメモリが必要となる。

【0007】

例えば、デジタルVTRにてリアルタイムに生成されたデジタルビデオ信号を、該信号の速度とは異なる速度の伝送路を介して外部に伝送する場合、送信側では、伝送されるデジタルビデオ信号を伝送路の伝送速度に合わせるため、一時的にメモリに保持する必要がある。そして、送信側はメモリに保持されたデジタルビデオ信号を伝送路の伝送速度に合わせて1パケット分のデータ毎に順次読み出し、出力する。

【0008】

又、外部から送信されるパケットを順次受信する場合も同様に、受信した各パ

ケットのデータを元のデジタルビデオ信号の速度に戻すため、各ケットのデータを一時的にメモリに保持する必要がある。

【0009】

このように、例えばメモリに保持されたデータを1パケット分のデータ毎に読み出す、或いは1パケット分のデータ毎にメモリに書き込む場合には次のような問題点があった。

【0010】

例えば、メモリから1パケット分のデータを読み出すタイミングにズレが生じた場合、そのパケット分のデータの全てを読み出せないことがあった。その結果、メモリに残された残りのデータが、次に読み出されるデータと共に読み出されるため、その読み出しデータは全くでたらめなデータ配列となってしまうことがあった。

【0011】

又、メモリへ1パケット分のデータを書き込むタイミングにズレが生じた場合には、そのパケット分のデータの全てを書き込めないことがあった。その結果、そのパケットのデータの一部は、次にメモリに書き込まれるデータと共に書き込まれるため、その書き込みデータは全くでたらめなデータ配列となってしまうことがあった。

【0012】

以上の背景から本出願の発明の第1の目的は、所定量のデータの読み出し若しくは書き込みのタイミングにズレが生じても、該データの欠落を最小限にとどめることのできるメモリ制御装置及び方法を提供することである。

【0013】

又、本出願の発明の第2の目的は、一時的にメモリに記憶されたデータを所定量毎に順次外部の出力する際に、メモリの読み出しタイミングにズレが生じても、該データの欠落を最小限にとどめることのできる送信装置を提供することである。

【0014】

更に、本出願の発明の第3の目的は、外部より順次入力される所定量のデータ

を一時的にメモリに記憶する際に、メモリの書き込みタイミングにズレが生じて
も、該データの欠落を最小限にとどめることのできる受信装置を提供すること
である。

【0015】

【課題を解決するための手段】

上述のような目的を達成するために、本発明のメモリ制御装置は、固定長デー
タを所定数記憶するメモリから読み出されたデータ量を検出する検出手段と、前
記検出手段により検出されたデータ量を所定値と比較する比較手段と、前記比較
手段の比較結果に応じて前記メモリの読み出しアドレスを制御する制御手段とを
具備することを特徴とする。

【0016】

又、本発明のメモリ制御装置は、固定長データを所定数記憶するメモリに書き
込まれたデータ量を検出する検出手段と、前記検出手段により検出されたデー
タ量を所定値と比較する比較手段と、前記比較手段の比較結果に応じて前記メモ
リの書き込みアドレスを制御する制御手段とを具備することを特徴とする。

【0017】

又、本発明のメモリ制御装置は、所定量のデータからなるパケットを一単位と
して、データを記憶するメモリを制御するメモリ制御装置であって、過去に読み
出されたパケットのプリセットアドレスに対して前記所定量のデータに対応する
量分アドレスをシフトすることにより、次に読み出されるパケットのプリセット
アドレスを設定するアドレス制御手段を具備することを特徴とする。

【0018】

又、本発明のメモリ制御装置は、所定量のデータからなるパケットを一単位と
して、データを記憶するメモリを制御するメモリ制御装置であって、過去に書き
込まれたパケットのプリセットアドレスに対して前記所定量のデータに対応する
量分アドレスをシフトすることにより、次に書き込まれるパケットのプリセット
アドレスを設定するアドレス制御手段を具備することを特徴とする。

【0019】

又、本発明のメモリ制御方法は、固定長データを所定数記憶するメモリから読

み出されたデータ量を検出し、該検出されたデータ量を所定値と比較し、該比較結果に応じて前記メモリの読み出しアドレスを制御することを特徴とする。

【0020】

又、本発明のメモリ制御方法は、固定長データを所定数記憶するメモリに書き込まれたデータ量を検出し、該検出されたデータ量を所定値と比較し、該比較結果に応じて前記メモリの書き込みアドレスを制御することを特徴とする。

【0021】

又、本発明の受信装置は、外部よりパケット伝送された固定長データを受信する受信手段と、前記受信手段により受信された固定長データを所定数を記憶する記憶手段と、前記記憶手段から読み出されたデータ量を検出する検出手段と、前記検出手段により検出されたデータ量を所定値と比較する比較手段と、前記比較手段の比較結果に応じて前記記憶手段の読み出しアドレスを制御する制御手段とを具備することを特徴とする。

【0022】

更に、本発明の送信装置は、固定長データを所定数を記憶する記憶手段と、前記記憶手段に記憶されたデータを前記固定長データ毎にパケット化し、外部に送信する送信手段と、前記記憶手段に書き込まれたデータ量を検出する検出手段と、前記検出手段により検出されたデータ量を所定値と比較する比較手段と、前記比較手段の比較結果に応じて前記記憶手段の書き込みアドレスを制御する制御手段とを具備することを特徴とする。

【0023】

【発明の実施の形態】

以下、本発明のメモリ制御装置及び方法、送信装置、受信装置について図面を用いて詳細に説明する。

【0024】

図1は本発明に係る実施例におけるデジタルVTRの構成を示すブロック図である。

【0025】

図1において、10は本発明が適用されるデジタルVTR、20はディジタ

ル化されたビデオ信号やオーディオ信号を双方向に伝送可能な伝送路で、例えばシリアルバスにて構成されている。30は被写体の光学像を撮像し、該撮像信号からビデオ信号を生成するビデオカメラ、40はデジタルVTR10より出力されたビデオ信号に斯かる画像を表示するモニタである。

【0026】

以下に、デジタルVTR10における記録再生動作について説明する。

【0027】

図1において、操作部119により「記録」の指示を行うと、ビデオカメラ30等の外部機器より出力されたビデオ信号は入出力回路101に入力される。入出力回路101は入力されたビデオ信号をデジタル信号に変換すると共に、フィルタ処理等を施してビデオメモリ103に出力する。

【0028】

ビデオメモリ103は複数フレーム分（本実施例では2フレーム）の圧縮されていないビデオ信号を記憶可能であり、記憶されたビデオ信号を後段の圧縮／伸長回路105の処理に適した順番に読み出して（シャフリング）出力する。圧縮／伸長回路105は前述のようにDCT、量子化、可変長符号化等の技術を用いてビデオ信号の情報量を圧縮すると共に符号化し、もとの入力ビデオ信号の順に読み出されるようトラックメモリ107に供給する。

【0029】

トラックメモリ107は複数フレーム分（本実施例では3フレーム分）の圧縮されたビデオ信号及びオーディオ信号、その他の付加信号を記憶可能なメモリである。ここで、本実施例のトラックメモリ107は3バンク構成となっており、これら3つのバンクを入力ビデオ信号に同期して順次切り換えて各フレームのビデオ信号を記憶する。

【0030】

誤り訂正処理回路109はトラックメモリ109にアクセスして、誤りを検出して訂正するための誤り検出符号（例えば、リードソロモン積符号）を用いてトラックメモリ107に書き込まれたビデオ信号に対して誤り訂正符号化処理を施す。

【0031】

トラックメモリ107より読み出されたビデオ信号は、記録再生処理回路113に出力される。記録再生処理回路113は誤り訂正符号化されたビデオ信号に対してID、同期信号等を付加すると共にデジタル変調処理を施して記録再生回路115に出力する。記録再生回路115は、記録再生処理回路113にて変調されたビデオ信号を回転ヘッドを用いて磁気テープに記録する。

【0032】

次に、操作部119により「再生」の指示を行うと、記録再生回路115より再生されたビデオ信号は記録再生処理回路113に出力される。記録再生処理回路113は、再生されたビデオ信号を復調すると共に元のデジタル信号を検出する。また記録再生処理回路113は更に、同期信号、ID信号を検出し、ID信号に基づいて再生ビデオ信号をトラックメモリ107に書き込む。

【0033】

誤り訂正処理回路109は、トラックメモリ107にアクセスして、トラックメモリ107に書き込まれたビデオ信号に対して誤り訂正復号化処理を施して再生ビデオ信号中のエラーを訂正し、訂正不能な信号は他の再生ビデオ信号により補間する。

【0034】

誤り訂正復号化処理が施されたビデオ信号は、圧縮／伸長回路105に出力される。圧縮／伸長回路105は、再生ビデオ信号に対して記録時とは逆の処理を施して、再生ビデオ信号を復号すると共にその情報量を伸長し、ビデオメモリ103に書き込む。ビデオメモリ103は、ラスタスキヤンの順番にビデオ信号を読み出して入出力回路101に供給する。入出力回路101は、ビデオメモリ103より読み出されたビデオ信号に対して画素の補間等を行い、モニタ40による表示に適した形態の信号に変換すると共にアナログ信号に変換し、モニタ40に出力する。

【0035】

次に、ディジタルVTR10におけるビデオ信号の伝送動作について説明する。

。

【0036】

図1において、111はIEEE1394シリアルバスに準拠したデジタルインタフェース(DIF)であり、伝送路20を介して接続された他の機器と双方向に同期通信若しくは非同期通信できる。又、DIF111は、圧縮/符号化回路105の供給する圧縮ビデオ信号及び不図示の音声信号処理回路の供給するオーディオ信号、又は記録再生処理回路113の供給する再生信号を所定のフォーマットにパケットサイズして他の機器に出力できる。

【0037】

図2は本発明に係る実施例におけるトラックメモリ107に記憶されるデータの構成例を示す図である。

【0038】

図2において、トラックメモリ107に記憶されるデータは、77バイトの有効データ(204)に対して3バイトのIDデータが付加された80バイトで1ブロックを構成している。3バイトのIDデータのうち、ID0(201)はデータのタイプ(ヘッダ、サブコード、ビデオAUX、オーディオ、ビデオのいずれか)を示し、ID1(202)は再生データを伝送する場合にそのデータが記録されていたトラックの番号を示す(本実施例のデジタルVTR10では、1フレームのビデオ信号をNTSC方式では10本のトラックに記録し、PAL方式では12本のトラックに記録している。従って本実施例のトラック番号は、これら10本または12本のトラックのうちどのトラックに記録されていたデータであるかを示す)。また、ID2(203)はブロックの番号を示している。

【0039】

本実施例において、1トラック分のデータは、1個のヘッダブロック、2個のサブコードブロック、3個のビデオAUXブロック、9個のオーディオブロック、135個のビデオブロックにより構成される。通常、送信時においてトラックメモリ107は、1トラック分のデータを6ブロック(480バイト)単位に順次DIF111に出力する。そしてDIF111は、該6ブロックを1パケット分のデータ(以下、DIFデータという)としてパケットサイズして外部の機器に対して送信する。

【0040】

ここでD I F 1 1 1は、所定の通信サイクル期間（125 μ s）毎に転送帯域が保証されたisochronous（同期）転送と、必要に応じて不定期なタイミングで通信を行うasynchronous（非同期）転送の2つの通信方式を有している。例えば、上記のヘッダデータ、サブコードデータ、ビデオAUXデータ、ビデオデータ及びオーディオデータから構成されるD I Fデータは、isochronous（同期）転送用の伝送パケットにパケットサイズされ、一定のデータレートで連続的に他の機器のデジタルインタフェースにシリアル転送される。又、制御コマンドのような制御データはasynchronous（非同期）転送用のパケットにパケットサイズされてシリアル転送される。

【0041】

図3は本発明に係る実施例におけるisochronous（同期）転送用の伝送パケットの構成例を示す図である。尚、本実施例のパケットは、12+4×Nバイトのデータで構成される。

【0042】

図3において、301は長さフィールドであり、ヘッダ部（301～305）の後に続くデータフィールドのバイト長を規定する。302はisochronous転送用のチャンネル番号を示すフィールドであり、8ビットのデジタル信号を使ってisochronous転送に論理的な番号を与える。受信側ではこのチャンネル番号を参照し、必要としているisochronous転送データを判別する。303はtcodeフィールドであり、このパケットがisochronous転送用のパケットである場合には、その旨を示す値が挿入される。304はsyフィールドで、ソースとディスティネーションの間で同期情報のやり取りをするのに使われ、アプリケーション・ソフトウェアが利用する。305はヘッダCRCフィールドであり、301～304のフィールドのデータに対するエラー検出用コードである。306はデータフィールドであり、例えばD I Fデータ等のisochronous転送用データを格納する。307はデータCRCであり、パケットデータのエラー検出用コードである。

【0043】

又、D I F 1 1 1が、外部のデジタルインタフェースによりisochronous転

送されたビデオ信号を受信する場合について説明する。

【0044】

D I F 1 1 1 は、伝送路 2 0 を介して isochronous 転送されたパケットを順次受信すると共に、該パケットのヘッダを用いて各パケットに含まれる D I F データを取り出し、トラックメモリ 1 0 7 に書き込む。ここで、V T R 1 0 が記録状態（例えば、デジタルダビング処理中）である場合には、トラックメモリ 1 0 7 に書き込まれた複数の D I F データからなるトラックデータを読み出して記録再生処理回路 1 1 3 に出力し、前述の如く記録処理を行う。また、再生状態となっていた場合には、外部より受信された複数の D I F データからなるビデオ信号を前述の如く、圧縮／伸長回路 1 0 5 を用いて復号し、モニタ 4 0 にて表示する。

【0045】

図 4 は本発明に係る実施例における D I F 1 1 1 の送信回路の構成を示すブロック図である。本実施例では同図において、トラックメモリ 1 0 7 から出力された D I F データを D I F 1 1 1 の具備するメモリに一時的に記憶させ、外部に送信する処理について説明する。

【0046】

図 4 において、4 0 1 は N パケット分の D I F データ（本実施例では、1 パケット分の D I F データは 4 8 0 バイト）を記憶可能な F I F O メモリで、例えば 2 ポート R A M により構成されている。4 0 2 は F I F O メモリ 4 0 1 の書き込みアドレスをカウントする書き込みアドレスカウンタで、F I F O メモリ 4 0 1 に 1 バイト分 D I F データが書き込まれる度にカウント値をインクリメントさせる。4 0 3 はライトイネーブル信号（制御回路 1 1 7 から出力される）の示す書き込み期間に 1 パケット分の D I F データ（4 8 0 バイト）が書き込まれたか否かを検査する検査回路、4 0 4 は書き込みアドレスカウンタ 4 0 2 のカウント値と検査回路 4 0 3 の出力から所定のプリセット値を生成する設定値生成回路、4 0 5 は F I F O メモリ 4 0 1 から読み出された D I F データを isochronous 転送用パケットにパケットサイズして、各 isochronous パケットを所定の通信サイクル毎に割り当てられた転送帯域に出力する送信回路、4 0 6 は送信回路 4 0 5 から

出力されるパケットのヘッダを生成するヘッダ生成回路である。

【0047】

図4において、トラックメモリ107からDIF111に供給される1パケット分のDIFデータ501は、FIFOメモリ401に入力される。又、制御回路117からDIF111に供給されるクロック503及びライトイネーブル信号502は、FIFOメモリ401、書き込みアドレスカウンタ402及び検査回路403に供給される。

【0048】

FIFOメモリ401は、ライトイネーブル信号502がLOになると、トラックメモリ107から出力されるDIFデータ501をクロック503に応じて1バイト単位に書き込む。尚、本実施例のFIFOメモリ401は、2パケット分のDIFデータ（960バイト）を記憶する容量を有している。

【0049】

書き込みアドレスカウンタ402は、ライトイネーブル信号502がLOとなり、FIFOメモリ401に入力されたDIFデータがアドレス0に書き込まれるとカウント値を1とする。そして、カウント値は1バイトのDIFデータがFIFOメモリ401に書き込まれる度にインクリメントされ、その値は次に書き込むべきアドレスとしてFIFO401に供給される。これにより書き込みアドレスカウンタ402は、FIFOメモリ401に書き込まれたDIFデータの量を検出できると共に、次に書き込みアドレスを指示することができる。書き込みカウンタ402のカウント値（504）は、検査回路403及び設定値生成回路404にも供給される。

【0050】

検査回路403は、ライトイネーブル信号502の示す期間に所定のパケット分のDIFデータが書き込まれたか否かを検査する処理回路である。

【0051】

以下、図6を用いて本発明に係る実施例における検査回路403の構成例を示し、その動作を説明する。

【0052】

図6において、制御回路117から出力されるクロック503及びライトイネーブル信号502は、レジスタ601に入力される。レジスタ601の出力は、インバータ602により反転され、ANDゲート603に入力される。ANDゲート603は、制御回路117から出力されるライトイネーブル信号502とインバータ602の出力とで論理積をとる。これにより、ANDゲート603は、ライトイネーブル信号502の立ち上がりのタイミングを検出できる。このタイミングは図5のT505に示す。

【0053】

一方、書き込みアドレスカウンタ402から出力されたカウント値504は、比較手段604により「0」であるか否かを比較される。この結果、比較回路604は、一致すればHIを、不一致ならばLOを出力し、後段のORゲート605に供給する。又、比較回路605及び606も同様に、書き込みアドレスカウンタ402から出力されたカウント値504を「480」及び「960」と比較し、その比較結果（一致すればHI、不一致ならばLO）を後段のORゲート607に出力する。この結果、ORゲート607の出力は、検査回路403に入力されたカウント値が0、480若しくは960の場合にHIとなり、それ以外のカウント値の場合にLOとなる。

【0054】

ORゲート607の出力は、インバータ608を介して反転され、ANDゲート609に入力される。ANDゲート609は、ANDゲート603の出力とインバータ608の出力とで論理積をとる。つまり、ANDゲート609は、ライトイネーブル信号502の立ち上がり時のカウント値504を検査し、そのカウント値504が0、480或いは960と一致すればLO、不一致であればHIを出力する。このANDゲート609の出力は、検査回路403の検査結果として設定値算出回路404及び書き込みアドレスカウンタ402に供給される。

【0055】

これにより、検査回路403は、ライトイネーブル信号502の示す期間に1DIFデータ（480バイト）が書き込まれたか否かを検査することができる。

尚、書き込みアドレスカウンタ402に供給される検査結果は、設定値生成回路404からの出力値をプリセットするプリセットイネーブル信号として供給される。

【0056】

設定値生成回路404は、書き込みアドレスカウンタ402のカウント値と検査回路403の出力から所定のプリセット値を生成し、その結果を書き込みアドレスカウンタ402に供給する。

【0057】

図7は書き込みアドレスカウンタ402のカウント値と該カウント値に応じて生成されるプリセット値との対応を示す図である。

【0058】

図7において、設定値生成回路404は、検査回路403の出力がHIの場合（即ち、ライトイネーブル信号502の立ち上がり時にカウント値504が0、480若しくは960でない場合）、予め設定されたプリセット値を書き込みアドレスカウンタ402に出力する。つまり、入力されたカウント値が0～240の場合は「0」、241～480の場合は「480」、481～960の場合は「960」を出力する。この結果、書き込みアドレスカウンタ402のカウント値は、設定値生成回路404により生成された設定値にプリセットされる。これにより、次にFIFOメモリ401に書き込まれるDIFデータの書き込みアドレス0又は480の倍数に補正することができる。

【0059】

FIFOメモリ401に書き込まれたNパケット分のDIFデータは、送信回路405の読み出し要求に応じて1パケット単位（本実施例では、480バイト単位）に読み出される。送信回路405は、ヘッダ生成回路406にて生成されたisochronousパケット用のヘッダ、1パケット分のDIFデータ及びエラー検出用のCRCからisochronousパケットを生成し、各isochronousパケットを所定の通信サイクル毎に割り当てられた転送帯域に出力する。

【0060】

以上により、トラックメモリ107から出力される1パケット分のDIFデー

タの書き込みが正常に行われなかった場合でも、該DIFデータの欠落を最小限にとどめ、次のパケット分のDIFデータを正常に書き込むことができる。

【0061】

続いて、FIFOメモリ401に書き込まれたNパケット分のDIFデータを読み出す動作について図8を用いて説明する。図8は本実施例におけるDIF111の受信回路の構成例を示すブロック図である。尚、同図において、図4と同一或いはそれに相当する機能を有する部材については同一の符号を付し、説明を省略する。

【0062】

図8において、801は図4に示すFIFOメモリ401と同様に、Nパケット分のDIFデータを記憶可能なFIFOメモリ、802はFIFOメモリ801の読み出しアドレスをカウントする読み出しアドレスカウンタで、FIFOメモリ801から1バイト分のDIFデータが読み出される度にカウント値をインクリメントさせる。803はリードイネーブル信号（制御回路117から出力される）の示す読み出し期間に1パケット分のDIFデータが読み出されたか否かを検査する検査回路、804は読み出しアドレスカウンタ802のカウント値と検査回路803の出力から所定のプリセット値を生成する設定値生成回路、805は伝送路20を介して転送されたisochronousパケットを受信し、該パケットに含まれるDIFデータをFIFOメモリ801に書き込む受信回路、806は受信回路805にて受信されるパケットのヘッダを検出するヘッダ検出回路である。

【0063】

受信回路805は、伝送路20を介して所定の通信サイクル毎にisochronous転送されるパケットを順次受信し、各パケットのヘッダをヘッダ検出回路806にて検出する。ヘッダの検出後、受信回路805は、各パケットに含まれるDIFデータ（本実施例では、480バイト）を順次FIFOメモリ401に出力する。FIFOメモリ801は、1パケット毎に入力されるDIFデータを順次書き込み、記憶する。尚、本実施例のFIFOメモリ801は、2パケット分のDIFデータを記憶可能な容量を有している。

【0064】

FIFOメモリ801に記憶されたDIFデータは、制御回路117から出力されるリードイネーブル信号がLOになると、同じく制御回路117から出力されるクロックに応じて1バイト単位に読み出される。FIFOメモリ801より読み出されたDIFデータは、トラックメモリ107に供給され、記憶される。

【0065】

読み出しアドレスカウンタ802は、リードイネーブル信号がLOとなり、FIFOメモリ801に記憶されたDIFデータがアドレス0から読み出されるとカウント値を1とする。そして、カウント値は1バイトのDIFデータがFIFOメモリ801から読み出される度にインクリメントされ、その値は次に読み出すべきアドレスとしてFIFO801に供給される。これにより読み出しアドレスカウンタ802は、FIFOメモリ801から読み出されたDIFデータの量を検出できると共に、次に読み出すアドレスを指示することができる。読み出しアドレスカウンタ802のカウント値は、検査回路803及び設定値生成回路804にも供給される。

【0066】

検査回路803は、リードイネーブル信号（制御回路117から出力される）の示す期間に所定の packets 分のDIFデータが読み出されたか否かを検査する処理回路である。つまり、検査回路803は、リードイネーブル信号の立ち上がり時に、読み出しアドレスカウンタ802のカウント値が0、480若しくは960であるかを検査し、不一致である場合にはHIを設定値生成回路804に出力する。

【0067】

設定値生成回路804は、読み出しアドレスカウンタ802のカウント値と検査回路803の出力から所定のプリセット値を生成し、その結果を読み出しアドレスカウンタ802に供給する。つまり、設定値生成回路804は、検査回路803の出力がHIで、読み出しカウンタ802から出力されたカウント値が0～240の場合は「0」を出力する。又、検査回路803の出力がHIで、カウント値が241～480の場合は「480」、481～960の場合は「960」

を出力する。この結果、読み出しアドレスカウンタ802のカウンタ値は、設定値生成回路804により生成された設定値にプリセットされる。これにより、次にFIFOメモリ801から読み出されるDIFデータの読み出しアドレスを0又は480の倍数に補正することができる。

【0068】

以上により、FIFOメモリ801に記憶された1パケット分のDIFデータの読み出しが正常に行われなかった場合でも、該DIFデータの欠落を最小限にとどめ、次のパケット分のDIFデータを正常に読み出すことができる。

【0069】

以上のように本実施例では、ライトイネーブル信号がFIFOメモリ401への書き込みを指示している期間に、FIFOメモリ401に書き込まれたDIFデータを1バイト単位にカウントしている。そして、上記ライトイネーブル信号の立ち上がり時にカウンタの値を検査し、その検査結果が所定の値以外であった場合には、そのカウント値に応じた設定値に書き込むアドレスをプリセットする。これにより、静電気等によるノイズにより上記イネーブル信号やクロックにスパイクが生じた場合でも、データの欠落を最小限にとどめ通信の途絶を回避することができる。

【0070】

又、本実施例では、リードイネーブル信号がFIFOメモリ401からの読み出しを指示している期間に、FIFOメモリ401から読み出されたDIFデータを1バイト単位にカウントしている。そして、上記リードイネーブル信号の立ち上がり時にカウンタの値を検査し、その検査結果が所定の値以外であった場合には、そのカウント値に応じた設定値に読み出しアドレスをプリセットする。これにより、静電気等によるノイズにより上記イネーブル信号やクロックにスパイクが生じた場合でも、データの欠落を最小限にとどめ通信の途絶を回避することができる。

【0071】

尚、本発明はその精神、又はその主要な特徴から逸脱することなく、様々な形で実施することができる。例えば、本実施例ではトラックメモリ107から入力

される1パケット分のD I FデータをF I F Oメモリ401に書き込み際、及びF I F Oメモリ401に記憶されたD I Fデータを1パケット毎に読み出してトラックメモリ107に出力する際の処理について説明したが、F I F Oメモリ401に記憶されたD I Fデータを1パケット毎に読み出して送信回路405に出力する際、及び受信回路804にて1パケット毎に受信されたD I FデータをF I F Oメモリに書き込む際においても前述の実施例と同様の処理及びそれに伴う効果をあげることができる。したがって前述の実施例はあらゆる点において単なる例示に過ぎず、限定的に解釈してはならない。

【0072】

【発明の効果】

以上説明したように本発明によれば、データの読み出し若しくは書き込みのタイミングにズレが生じても、次のデータの読み出し若しくは書き込みアドレスを制御することにより、データの欠落を最小限にとどめることができる。

【0073】

又、本発明によれば、一時的にメモリに記憶されたデータを所定量毎に順次外部の出力する際に、メモリの読み出しタイミングにズレが生じても、次の読み出されるデータの読み出しアドレスを制御することにより、データの欠落を最小限にとどめることができる。

【0074】

更に、本発明によれば、外部より順次入力される所定量のデータを一時的にメモリに記憶する際に、メモリの書き込みタイミングにズレが生じても、次の書き込まれるデータの書き込みアドレスを制御することにより、データの欠落を最小限にとどめることができる。

【図面の簡単な説明】

【図1】

本発明に係る実施例におけるディジタルV T Rの構成を示すブロック図。

【図2】

本発明に係る実施例におけるトラックメモリ107に記憶されるデータの構成例を示す図。

【図3】

本発明に係る実施例における isochronous（同期）転送用の伝送パケットの構成例を示す図。

【図4】

本実施例における D I F 1 1 1 の送信回路の構成例を示すブロック図。

【図5】

本実施例における D I F データ、ライトイネーブル信号及びクロックのタイミングを示すタイミングチャート。

【図6】

本実施例における検査回路 4 0 3 の構成例を示すブロック図。

【図7】

書き込みアドレスカウンタ 4 0 2 のカウント値と該カウント値に応じて生成されるプリセット値との対応を示す図。

【図8】

本実施例における D I F 1 1 1 の受信回路の構成例を示すブロック図。

【書類名】 要約書

【要約】

【課題】 所定量のデータの読み出し若しくは書き込みのタイミングにズレが生じて、該データの欠落を最小限にとどめることのできるメモリ制御装置及び方法を提供する。

【解決手段】 固定長データを所定数記憶するメモリから読み出されたデータ量を検出し、該検出されたデータ量を所定値と比較し、該比較結果に応じて前記メモリの読み出しアドレスを制御する。又、固定長データを所定数記憶するメモリに書き込まれたデータ量を検出し、該検出されたデータ量を所定値と比較し、該比較結果に応じて前記メモリの書き込みアドレスを制御する。

【選択図】 図4

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】
【識別番号】 000001007
【住所又は居所】 東京都大田区下丸子3丁目30番2号
【氏名又は名称】 キヤノン株式会社
【代理人】 申請人
【識別番号】 100069877
【住所又は居所】 東京都大田区下丸子3-30-2 キヤノン株式会
社内
【氏名又は名称】 丸島 儀一

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日 1990年 8月30日
[変更理由] 新規登録
住 所 東京都大田区下丸子3丁目30番2号
氏 名 キヤノン株式会社