

PATENT ASSIGNMENT

Electronic Version v1.1
 Stylesheet Version v1.1

SUBMISSION TYPE:	NEW ASSIGNMENT
NATURE OF CONVEYANCE:	ASSIGNMENT
CONVEYING PARTY DATA	
Name	Execution Date
Seoung Chul Shin	11/28/2002
RECEIVING PARTY DATA	
Name:	Hyundai Syscomm, Inc.
Street Address:	San 136-1, Ami-Ri, Bubal-eub, Icheon-si
City:	Gyeonggi-do
State/Country:	KOREA, DEMOCRATIC PEOPLE'S REPUBLIC OF
Postal Code:	467-701
PROPERTY NUMBERS Total: 1	
Property Type	Number
Application Number:	10545505
CORRESPONDENCE DATA	
Fax Number:	(312)913-0002
<i>Correspondence will be sent via US Mail when the fax attempt is unsuccessful.</i>	
Phone:	3129130001
Email:	docketing@mbhb.com
Correspondent Name:	McDonnell Boehnen Hulbert & Berghoff LLP
Address Line 1:	300 South Wacker Drive
Address Line 2:	Robert J. Irvine III
Address Line 4:	Chicago, ILLINOIS 60606
ATTORNEY DOCKET NUMBER:	05-390-B
NAME OF SUBMITTER:	Robert J. Irvine III

Total Attachments: 20
 source=05-390-B-Assignment#page1.tif
 source=05-390-B-Assignment#page2.tif
 source=05-390-B-Assignment#page3.tif

CH \$40.00 10545505

source=05-390-B-Assignment#page4.tif
source=05-390-B-Assignment#page5.tif
source=05-390-B-Assignment#page6.tif
source=05-390-B-Assignment#page7.tif
source=05-390-B-Assignment#page8.tif
source=05-390-B-Assignment#page9.tif
source=05-390-B-Assignment#page10.tif
source=05-390-B-Assignment#page11.tif
source=05-390-B-Assignment#page12.tif
source=05-390-B-Assignment#page13.tif
source=05-390-B-Assignment#page14.tif
source=05-390-B-Assignment#page15.tif
source=05-390-B-Assignment#page16.tif
source=05-390-B-Assignment#page17.tif
source=05-390-B-Assignment#page18.tif
source=05-390-B-Assignment#page19.tif
source=05-390-B-Assignment#page20.tif

Employee's Declaration of Invention

Date: November 28, 2002

Invention Team	Approval	Work Code		Approving Authority	On-the-job Maintenance Team	Reviewer	Patent Team	Approval	Work Code		Approving Authority
		Primary Inventor	Reviewer	Approved by					Drafter	Reviewer	Approved by
		<i>signed</i>	<i>signed</i>	<i>signed</i>					<i>signed</i>	<i>signed</i>	<i>signed</i>
	Position / Name	SW/SHIN, Seoung Chul	CJ/YOON, Byung Seok	BJ/LIM, Sung Hwan	/	Position / Name	SW/LEE, Chun Mi	DL/Yoon Hyoung Jin	/		
	Date	Nov. 28	Nov. 28	Nov. 28	Control No.		Date				
Years in Storage	0, 1, 2, 3, 5, 10, Permanent					Years in Storage	1, 3, 5, 10, P	Security Rating	1, 2, 3, Confidential		

Under the provisions of employee's invention compensation policy, I request to proceed with filing/registration of my invention and to assign its rights for domestic and international registrations.

Statement by Inventor	Title of the Invention	METHOD FOR OPTIMIZING A DSP INPUT CLOCK USING A COMPARING/ANALYZING CIRCUIT				
	Summary of the Invention	In a boar that uses an A/D or D/A converter and processes digital signals by a DSP, a plurality of clocks have difference phases along a clock pattern path to destination although they are provided through a clock driver from a single clock source. Consequently, the DSP latching data significantly affects on the entire SNR or performance according to what kind of clock the DSP is used. Therefore, the present invention is to provide a method for searching an optimal clock for the best performance such that clocks from the respective patterns are all compared and the optimal clock is automatically selected.				
	Name(s) of Related Projects	IS-2000, CDMA 450				
	Status of the Embodiment	<input type="checkbox"/> Conception <input checked="" type="checkbox"/> Completed Design <input type="checkbox"/> (In, Completed) Testing <input type="checkbox"/> (Preparing, In) Business Implementation				
	Publication Status of the Invention	<input checked="" type="checkbox"/> Unpublished <input type="checkbox"/> Expected to be Published ※ <input type="checkbox"/> Published Earlier ※ ※ If checked, please specify the (scheduled) date of publication and related dissertations." [(Scheduled) Date of Publication: Month Day, 2000; Related dissertations:]				
	Prior Arts	Korean				
		Foreign				
	Filing Status	<input checked="" type="checkbox"/> Standard <input type="checkbox"/> Urgent → (Within _____ days)		Reasons for Urgent Filing		
Foreign Filing	<input type="checkbox"/> Yes (Reasons: _____) <input checked="" type="checkbox"/> No					
Key Word						

Statement by Patent Team	Date of Receipt	Nov. 30, 2002	Agent	Moon Patent Office	Hyundai Syscomm Ref.	HJ2002-12-0141	
	Korean Filing	<input checked="" type="checkbox"/> Patent <input type="checkbox"/> Utility Model <input type="checkbox"/> Journal of Technical Disclosure <input type="checkbox"/> Withhold Filing (Reasons: _____)					
		Request for Examination	<input type="checkbox"/> Yes <input checked="" type="checkbox"/> No		Strategic Patent Project for the Invention	13	
	Foreign Filing	<input type="checkbox"/> Yes <input type="checkbox"/> No		Filing Rating		B	
		Deliberation	<input type="checkbox"/> Yes <input type="checkbox"/> No		*Reference for Agents in writing Specification*		
	Designating Countries to File	<input type="checkbox"/> Direct National Filing <input type="checkbox"/> EPO Filing <input type="checkbox"/> PCT Filing			<input type="checkbox"/> Domestic Filing without Review <input checked="" type="checkbox"/> Domestic Filing after Patent Team Review <input type="checkbox"/> Simultaneous Korean & Foreign Filing		
1st Priority			5th Priority		Reviewer's Opinion	OK	
2nd Priority			6th Priority				
3rd Priority			7th Priority				
4th Priority			8th Priority				
Note							

< Evaluation of the Invention >			
Category	Contents	Evaluation Grade	
Technology	Simple technology	<input type="checkbox"/> 1 point	
	Slightly higher technology	<input checked="" type="checkbox"/> 3 point	
	Advanced Technology	<input type="checkbox"/> 5 point	
Possible Implementation	Theoretically possible to implement, but has no plan for testing	<input type="checkbox"/> 1 point	
	Developments in related technologies are required first for testing	<input checked="" type="checkbox"/> 2 point	
	Currently testing or planning for testing	<input type="checkbox"/> 3 point	
	Tested and obtained satisfactory results (Attach documents)	<input type="checkbox"/> 5 point	
	Preparing or currently implementing to business	<input type="checkbox"/> 7 point	
Effects	What is the level of improvement? (Simplification of processes, yield, cost etc.)	<input type="checkbox"/> 3 <input checked="" type="checkbox"/> 2 <input type="checkbox"/> 1 point	
Importance	Defending the rights in disclosing technology	<input type="checkbox"/> 1 point	
	Adaptable (or scheduled) for mass production	<input checked="" type="checkbox"/> 3 point	
	Absolutely necessary to obtain exclusive technology	<input type="checkbox"/> 5 point	
Evaluation Result		(10) Points	
Notes) * The Invention Evaluation form must be filled out by the manager of the invention team. * Evidence is necessary for those inventions rated 5 or 7 points in "Possible Implementation." * The Evaluation Result should be filled in only after completing the Evaluation.			
<Evaluation for the International Filing>			
Status of products to which the invention was applied	* Applied Product:	* For cases applied to multiple products, list all the product names. For future cases to be applied, mark the estimated period.	
	* Related Technology:		
	* Applied Period:		
Evaluation	<input type="checkbox"/> Absolutely necessary <input type="checkbox"/> Observe for a year after filing domestically <input type="checkbox"/> Not necessary	Designation of Countries	
		1st Priority	
		2nd Priority	
	<input type="checkbox"/> Direct National Filing <input type="checkbox"/> EPO Filing <input type="checkbox"/> PCT Filing	3rd Priority	
		4th Priority	
		5th Priority	
	<u>Technological Factor</u> 	6th Priority	
		7th Priority	
		8th Priority	
<u>Economical Factor</u> 		Evaluator Name: Position: Signature:	

Statement by Manager of Invention Team

Inventor Information	Primary Inventor	Name	(Korean) 신 승 철		(HW) Development Group (Exchange Control) Team					
			(Chinese) 申 承 澈		Position	Staff Engineer	Employee ID No.	H23077	Tel (2731)	
			(English) Shin Seoung Chul		Residence ID		750307-1068828			
		E-mail	S1505@hysyscom.com		Address	RM 201, 463-27 Amsa 1-dong, Gangdong-gu, Seoul 134-051, Republic of Korea				Signature
	Second Inventor	Name	(Korean)		() Development Group () Team					
			(Chinese)		Position		Employee ID No.		Tel ()	
			(English)		Residence ID		-			
		E-mail			Address					Signature
	Third Inventor	Name	(Korean)		() Development Group () Team					
			(Chinese)		Position		Employee ID No.		Tel ()	
			(English)		Residence ID		-			
		E-mail			Address					Signature
	Fourth Inventor	Name	(Korean)		() Development Group () Team					
			(Chinese)		Position		Employee ID No.		Tel ()	
			(English)		Residence ID		-			
		E-mail			Address					Signature
	Fifth Inventor	Name	(Korean)		() Development Group () Team					
			(Chinese)		Position		Employee ID No.		Tel ()	
			(English)		Residence ID		-			
		E-mail			Address					Signature
	Sixth Inventor	Name	(Korean)		() Development Group () Team					
			(Chinese)		Position		Employee ID No.		Tel ()	
			(English)		Residence ID		-			
		E-mail			Address					Signature

Note) 1. The full address and e-mail address are required.
2. Write the full name in English.

Specification of the Invention

1. Title of the Invention

Write the title of the invention that best describes its practical use. Please be clear and brief, and avoid using abbreviations.

METHOD FOR OPTIMIZING A DISP INPUT CLOCK USING A COMPARING/ANALYZING CIRCUIT

2. Detailed Description of the Invention

1) Fields of Industrial Use

Describe the invention and list the technical fields in which the invention can be used.

In a board that uses an A/D or D/A converter and processes digital signals by a DSP, a plurality of clocks have different phases along a clock pattern path to destination although they are provided through a clock driver from a single clock source. Consequently, the DSP latching data significantly affects on the whole SNR or performance according to what kind of clock is used in the DSP. Therefore, the present invention is to provide a method for searching the optimal clock for the best performance such that clocks from the respective patterns are all compared and the optimal clock is automatically searched. This can be also applicable to any boards using A/D or D/A converters.

2) Description of the Prior Art and its Problems

*** Explain in detail the invention's technical composition. Summarize how the prior art is embodied in the invention's technical field and problems that the prior art can potentially cause.**
*** Write the names of reference books or the identification numbers of patent publication documents related to the invention. Please attach a copy of the references.**

During designing and completing a board using an A/D or D/A converter and processing digital signals by a DSP, a designer of the board usually test the board by altering elements of clock until he obtains a desired result owing to some characteristics of the clock. Once a PCB is produced, however, it is unable to change the manufactured board. Thus, a developer must produce plurality of PCBs to test whenever any delicate external changes occur. Furthermore, if a desired result is obtained, there are many changes on properties of PCBs due to minor external changes during production. To overcome this limitation and obtain the optimal result, he alters values of R, L, C. At this point, the developer has to produce PCBs many times and he alters each time values of R, L, C which incurs huge production costs and time, as well as inconvenience while altering the R,L,C values upon minor changes. However, according to the inventive method, an optimal clock path is easily searchable during the development of a test bench board for initially testing under various external circumstances. Even though various changes occur, the optimal options as well as the maximum SNR are automatically searched since corresponding compensation is applied thereto after the production of PCB as fixed under the application of the optimal manner.

3) Technical Principles of Invention to Solve Problems Underlying Prior Art

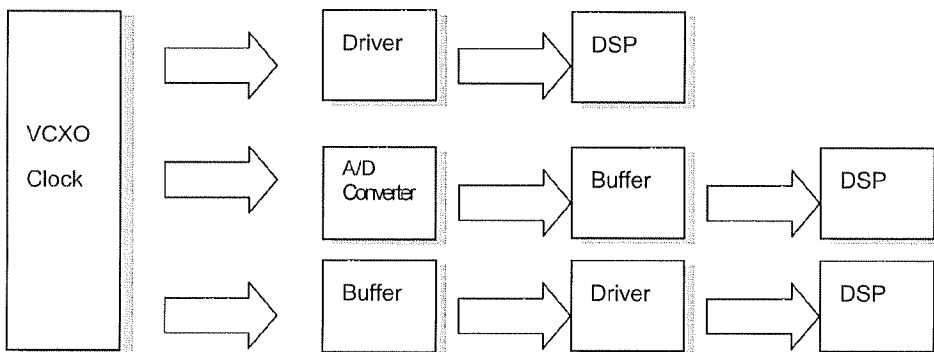
- ※ Briefly highlight the main idea of the solution presented in the invention that is used to solve technical problems underlying the prior art (you will need to write a detailed description in the next subsection).
- ※ What technical problems do the prior art address? What technologies are available to address them, and what effect(s) would they have?

Conventionally, factors of clock characteristics and elements that cause changes in delay can be roughly divided by three: values of R, L, C elements, a delay owing to a clock driver, and changes in characteristics owing to peripheral elements of patterns where clocks pass through. These three factors are hardly changed in any way once a PCB is produced. However, a PLD is employed in the present invention and these three factors become variables to obtain the optimal properties by allowing the PLD to select among its internal delay function and signals from various patterns. This operation includes two steps of searching a pattern having the lowest noise level by scanning the respective paths from various patterns and searching the maximum SNR by allowing the delay offset to a path of the lowest noise level. This operation can be carried out by means of a timer for periodically checking its state and connecting the optimal path in case peripheral environments change.

4) Detailed Description and Overall Function of Present Invention

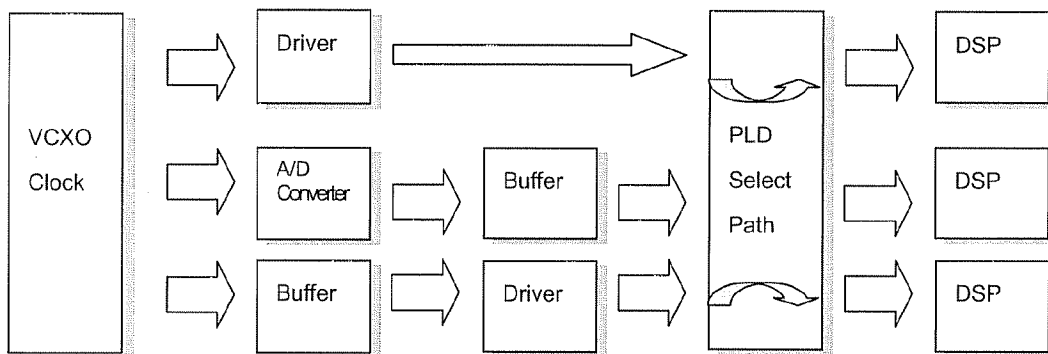
- ※ Explain the invention in detail so that a person of ordinary skill in the art or related technical field could utilize it.
- ※ According to the attached circuit diagrams and structural and process figures, describe the structure, function, operation and overall corporation of each component in order.
- ※ List experimental data, if any.

The characteristics of input clock and quality of wavelength in a board using the DSP and A/D converter are critical factors for determining the whole SNR. Sampling noises are generated at a time point of the clock latching, and the noises become a larger factor where it is coupled with a quantization noise. If delays and phases of the A/D converter-input clock and the DSP-input clock are changed on the transmission path due to external factors, the DSP may recognize the data and process them as different data. For this reason, a developer is inconvenienced to test by altering each time the path of clock transmission in seeking the optimal data because a clock unavoidably passes through high-speed digital data. The present invention directs to the method of obtaining the maximum SNR by composing the PLD with simple peripheral components and comparing values of scanning the paths through a CPU. Operation of this method is roughly classified in two. First, a path with the lowest noise level is searched among various clock transmission paths. Herein, assumptions are given in VCXO that there are only three paths of clock inputted by the DSP and the A/D Converter as illustrated below.



Continued from (4)

In case of the above, it is provided that clock is actually inputted by the respective paths. The inputted clock should pass through the PLD and it is inputted by the DSP after all. A circuit is consisted as below and a value of RSSI is calculated by means of the three paths at Rx DSP. The RSSI value means an AGC Gain in the DSP and can be represented by the following: $Gain(x) = Gain(x-1) + Err_Out(x)$. That is, it is a function affected by the gain of the previous step. The Rx DSP adjusts a signal to a definite level using the AGC value. If a signal of low level is inputted, then it has a high AGC value, and a signal of high level is inputted, it has a low AGC value. An initial noise level is measured by using the aforementioned process. To have the Rx input signal with the lowest noise level, the most important thing is the property of input clock. In order to search the characteristics of input clock, Rx input is set so that no signal is inputted and a path with the highest AGC value is obtained by measuring the AGC values through the above-identified tree paths. A single IN Path and a DSP inside the PLD are connected to a Path of a relatively higher AGC value on the basis of AGC values computed by means of a single OUT Path. This can be simply embodied by making a comparing program with C language in AP.



If the results by operating the realized program are same as follows, a Path of the highest AGC value is the lowest level Path, and the PLD can connect to the Path by comparing the three Paths.

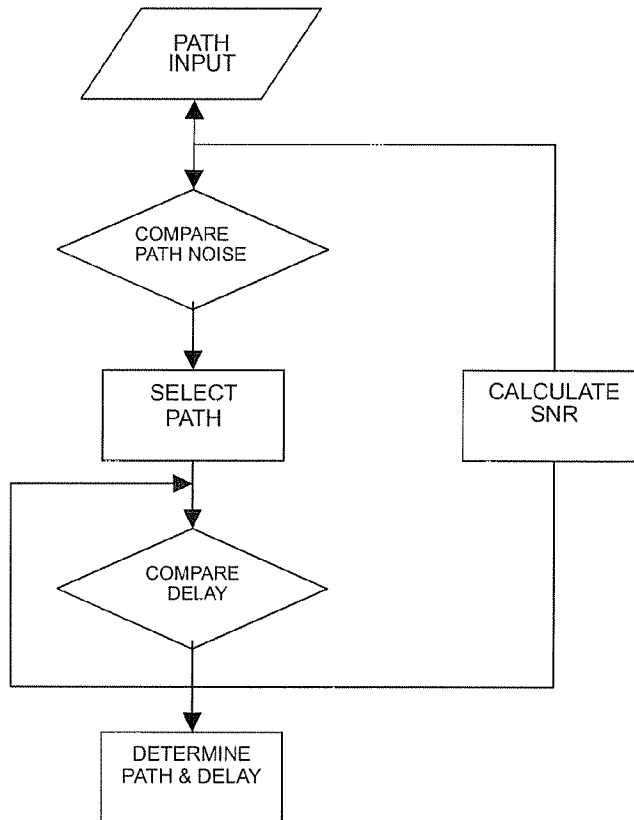
Best Path = Path1 (Selected Path is Path1)
 AGC value of DSP for Path1 : 741b !!
 AGC value of DSP for Path2 : 543c !!
 AGC value of DSP for Path3 : 562a !!

In fact, a noise level of the above path is close to about -80dBm. At the second step, when the path of the lowest noise level is determined, delay offset is applied to increase the SNR value. Where the clock of VCXO is 50 Mhz, then its cycle becomes 20ns and an offset of rising edge becomes +10ns ~ -10ns. Depending on the synthesizing tool in the PLD, different delays are given by altering the methods of fitting and altering the Paths. Now, 9 different delays of +8ns, +6ns, +4ns, +2ns, 0ns, -2ns, -4ns, -6ns and -8ns are provided and options for the respective delays are set at a PLD source. Then, sequentially the nine delays are applied and the SNR values with the DSP are read out.

AGC value of DSP for Delay -8ns : 112a !!
 AGC value of DSP for Delay -6ns : a95 !!
 AGC value of DSP for Delay -4ns : 9fa !!
 AGC value of DSP for Delay -2ns : 83c !!
 AGC value of DSP for Delay 0ns : d43 !!
 AGC value of DSP for Delay +2ns : 142a !!
 AGC value of DSP for Delay +4ns : 1e1b !!
 AGC value of DSP for Delay +6ns : 343c !!
 AGC value of DSP for Delay +8ns : 1b2a !!

Continued from (4)

Since the SNR value is the Signal to Noise Ratio value, it can be derived by comparing the ratio of signal level through the nine delay steps with the noise level of the path determined at the first step. However, the AGC value represents ultimately the signal level. Among the above nine values, a value for delay of $-2ns$ is the lowest, which corresponds to a signal having the maximum SNR. As the above two steps are processed, it is proven that the board of this test has the best property of clock source inputted by the DSP at VCXO and it obtains the maximum SNR when the delay is $-2ns$. Performing those two steps is like actions of a switch for setting the Path and generating the delays inside the PLD, and a simple c language program is available in AP. The developer is able to design a final board with the path as selected in accordance with the above-explained steps. Those steps are illustrated in the below flow chart.



5) Other Embodiments of Present Invention

※ If there are any other embodiments except the one described at item 4), illustrate relevant drawing with detailed explanations so that a person can implement the invention.

The present invention is directed not only to an early designing stage of a board for determining a path and a value of delay. It can be also applicable to an embodiment of any circuitry having an optimal SNR, provided that there is a timer for periodically checking its state. From the other point of view, the board is maintained in the optimal condition by applying feedback to the status of many changes in the external circumstances and occurrence of obstructive factors. Additionally, a signal is connectable not only in a single board but also to different boards if scanning a path among various paths is utilized by the DSP only. When the PLD is inserted on a back board, it can search a path having the best property among many signal paths passing through the back board.

6) Effects of Present Invention

※ Clearly write all effects due to the differences in constitution and operation between the present invention and prior arts, and also write any accompanying advantages. However, do not write vague economical effects without technical background.

During designing and completing a board using an A/D or D/A converter and processing digital signals by a DSP, a designer of the board usually test the board by altering elements of clock until he obtains a desired result owing to some characteristics of the clock. Once a PCB is produced, however, it is unable to change the manufactured board. Thus, a developer must produce plurality of PCBs to test whenever any delicate external changes occur. Furthermore, if a desired result is obtained, there are many changes on properties of PCBs due to minor external changes during production. To overcome this limitation and obtain the optimal result, he alters values of R, L, C. At this point, the developer has to produce PCBs many times and he alters each time values of R, L, C which incurs huge production costs and time, as well as inconvenience while altering the R,L,C values upon minor changes. However, according to the inventive method, an optimal clock path is easily searchable during the development of a test bench board for initially testing under various external circumstances. Even though various changes occur, the optimal options as well as the maximum SNR are automatically searched since corresponding compensation is applied thereto after the production of PCB as fixed under the application of the optimal manner. Therefore, the developer can save development costs and constantly obtain excellent Path and SNR where the external circumstances of the produced board are extremely changeable and the developer is inconvenienced to set the PCBs over again upon minor changes.

3. The Scope of Protection

Based on the description of the invention, write the scope of the rights that should be protected from the invention. Note that the structure or function of the invention should be novel. In particular, the part or the embodiment of the invention to be protected should be clearly and concisely explained in a separate paragraph.

1. A method of searching a path by comparing noise level in accordance with the PLD
2. A method of searching an optimal signal by measuring the SNR by reading out the AGC value of the DSP
3. A method of adjusting a DSP input clock to an optimal latch time by applying a delay to signal with an option of the PDL
4. A method of maintaining state of a board by applying feed back to an optimal path and delay time by adding a timer for periodically checking operations according to the aforementioned method

4. Brief Description of the Drawings

- ※ The intentions of the inventor could be altered according to the figures drawn, so please ensure that only the accurately drawn figures that are necessary for the description is provided.
- ※ ① Applications related to electronic circuitry should be accompanied by a circuit drawing, a block diagram, a flow chart, and a property graph. ② Application related to apparatuses should be accompanied by an overall structural drawing, a descriptive structural drawing, and a perspective drawing. ③ Applications related to processes should be accompanied by an overall process systematic diagram, a detailed process diagram, and a property graph.
- ※ Write phrases in the form of "Fig. 1 is the XXX circuit drawing, Fig. 2 is a sectional view of a cell"
- ※ The names of components in a drawing should be written at the bottom in the form of "1: Control Unit, 2: Sensor."

Drawings and flow chart are incorporated in item 4) "Detailed Description and Overall Function of Present Invention."

발명실장 기재사항	< 발명 평가내용 >		
	구 분	내 용	평가점수
	기 술 성	단순 조합 기술임	<input type="checkbox"/> 1점
		약간 높은 수준을 요하는 기술임	<input checked="" type="checkbox"/> 3점
		고도의 수준을 요하는 기술임	<input type="checkbox"/> 5점
	실현가능성	이론상 실현은 가능하나, 실험계획은 없음	<input type="checkbox"/> 1점
		테스트 하려면 관련기술의 발전이 요구됨	<input checked="" type="checkbox"/> 2점
		테스트중이거나 예정임	<input type="checkbox"/> 3점
		양호한 테스트 결과 얻음(자료첨부 가능)	<input type="checkbox"/> 5점
		현재 사업화 준비중 또는 실시중임	<input type="checkbox"/> 7점
효 과	개선된 효과의 수준은? (공정 단순화, Yield, Cost 등의 측면)	<input type="checkbox"/> 3점 <input checked="" type="checkbox"/> 2점 <input type="checkbox"/> 1점	
발명중요도	기술공개로 타사 권리확보를 방어하는 수준임	<input type="checkbox"/> 1점	
	양산에 적용(예정) 가능한 발명임	<input checked="" type="checkbox"/> 3점	
	반드시 필요한 독점 기술임	<input type="checkbox"/> 5점	
평가결과		(10) 점	
주)※상기 발명 평가표는 반드시 실장이 직접 기재하시기 바랍니다. ※"실현가능성"란에서 5점,7점에 해당된 발명은 증빙 자료가 반드시 필요 합니다. ※평가를 완료하신후 평가결과를 기입 바랍니다.			
< 외국출원 평가내용 >			
발명의 적용제품 현 황	*적용제품: *관련기술: *적용시기:	*복수제품에 적용되는 경우 전부 기재하시기 바라며, 향후 적용 제품경우 예상시점을 기재요망	
평가내용	<input type="checkbox"/> 절대 필요 <input type="checkbox"/> 국내출원후 1년간 관망 <input type="checkbox"/> 필요 없음	출원희망국가	
	<input type="checkbox"/> 개별국출원, <input type="checkbox"/> EPO출원, <input type="checkbox"/> PCT출원	1순위	
	기술적측면	2순위	
	경제적측면	3순위	
		4순위	
		5순위	
		6순위	
		7순위	
		8순위	
		평가자	
		성명: 직위: 서명:	

발명자 인적사항	발명자 1	성명	(한글) 신 승 철	(H/W) 개발 Group (교환제어개발)실				
			(한문) 申 承 澈	직위	사원	사번	H23077	TEL (2731)
			(영문) Shin Seoung Chul	주민등록No	750307-1068828			
		E-mail	s1505@hysyscomm.com	주소	(134-051) 서울시 강동구 암사1동 463-27호 201호			서 명
	발명자 2	성명	(한글)	() 개발 Group ()실				
			(한문)	직위		사번		TEL ()
		(영문)	주민등록No	-				
E-mail			주소	(-)			서 명	
발명자 3	성명	(한글)	() 개발 Group ()실					
		(한문)	직위		사번		TEL ()	
		(영문)	주민등록No	-				
	E-mail		주소	(-)			서 명	
발명자 4	성명	(한글)	() 개발 Group ()실					
		(한문)	직위		사번		TEL ()	
		(영문)	주민등록No	-				
	E-mail		주소	(-)			서 명	
발명자 5	성명	(한글)	() 개발 Group ()실					
		(한문)	직위		사번		TEL ()	
		(영문)	주민등록No	-				
	E-mail		주소	(-)			서 명	
발명자 6	성명	(한글)	() 개발 Group ()실					
		(한문)	직위		사번		TEL ()	
		(영문)	주민등록No	-				
	E-mail		주소	(-)			서 명	

㉠ 주소는 상세히 기재하시고, E-mail은 반드시 회사계정으로 기재하시기 바람.
 2. 영문기재시 Fullname을 기재하시기 바람.

발명의 명세서

1. 발명의 명칭

발명의 실질적 내용에 대해 가장 적절히 표현할수 있는 명칭을 간결하고 명확하게 기재하되 약자는 가급적 피해주시기 바람.

Clock 비교 분석 회로를 이용한 DSP 입력 CLOCK의 최적화 방법

2. 발명의 상세한 설명

1) 산업상의 이용분야

발명이 무엇에 관한 것이며, 어느 기술분야에 적용되는지를 기재하고, 타 기술 분야에서도 활용이 가능하면 그 기술분야도 기재하시기 바람.

A/D 또는 D/A Converter를 사용하고 이들 Digital 신호를 DSP로 처리하는 Board에서 한 개의 Clock Source에서 Clock Driver를 거쳐서 공급되는 여러개의 Clock이라도 Destination 위치까지의 Clock의 Pattern 경로에 따라서 서로 다른 Phase와 특성을 가지게 되고 이에 따라 Data를 Latch하는 DSP는 어떤 특성의 Clock를 사용하느냐에 따라 전체 SNR이나 성능에 큰 영향을 미치게 된다. 이에 각각에 Pattern에서 오는 Clock들을 비교하여 가장 좋은 성능을 얻을수 있는 Clock를 자동으로 선택하게 해주어서 최적의 Clock를 찾기 위한 방법이다. 이는 모든 A/D, D/A Converter를 사용하는 Board에 적용할수 있다.

2) 종래기술의 설명 및 그 문제점

- *본 발명이 속하는 기술분야에서 본 발명과 연관되는 종래기술이 어떻게 실시되는지 기술적 구성이나 개요를 비교적 상세히 설명하고, 그 문제를 기재하기 바람.
- *본 발명과 관련된 참고문헌이나 특허공보가 있으면 문헌명이나 공보번호를 기재하고, 그 자료를 본 명세서에 첨부하시기 바람.

A/D 또는 D/A Converter를 사용하고 이들 Digital 신호를 DSP로 처리하는 Board에서는 실제로 Board를 설계하고 완성하는데 Clock에 의한 특성 때문에 원하는 Spec이 나올때까지 Clock의 요소를 바꾸어 시험해야 하는데 PCB는 한번 제작하면 변경할수 없기 때문에 할수 없이 여러 개의 PCB를 제작 해서 각 요소의 변경이 있을때마다 시험을 해야 한다. 또한 원하는 Spec의 PCB가 제작되었더라도 제작 환경에 민감한 변화에 의해 특성의 변화가 생기고 이를 Optimizing하기 위해 R,L,C의 값을 변경해서 각 Board마다의 미세한 차이를 극복하고 있다. 이러한 점에 의하여 개발자는 여러번의 PCB를 제작함에 의해 비용과 시간을 허비해야 하고 미세한 외부 변화가 있을때마다 직접 R,L,C 값을 변화시켜 주어야 하는 번거로움이 있었다. 하지만 본 발명 기술을 적용하면 환경의 변화 그리고 초기 시험을 위한 Test Bench Board 개발시에 최적화된 상황의 Clock 경로를 찾을수 있고 이를 적용하여 FIX된 PCB를 제작하고나서도 위에서 말한 여러 상황변화가 발생하면 그에 따른 보상을 적용하여 최적의 상황을 Detect하고 최적의 SNR을 얻을 수 있다.

3) 종래 문제점을 해결하기 위한 본 발명의 기술적 원리

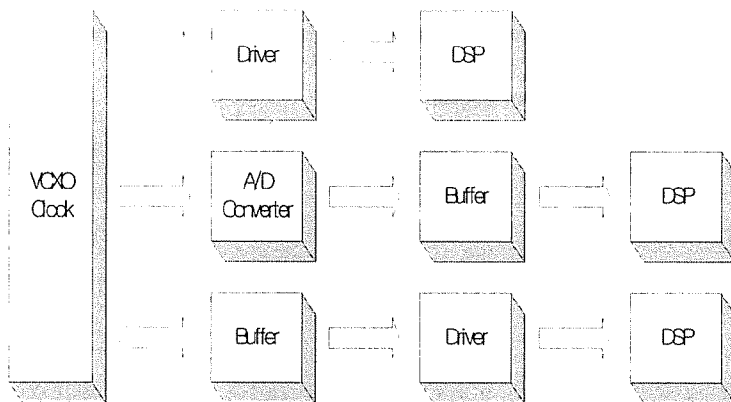
*본 발명에서 상기와 같은 기술적 문제점을 어떻게 해결하고 있는지 그 해결책의 요지만을 기재하고, 그 상세한 설명은 다음항에 기재하기 바람.
 *어떤 효과를 지닌 어떤기술을 사용하여 어떤 문제점을 해결하였다는 등

종래의 개발시에 Clock의 특성과 Delay를 변화시키는 요소를 크게 셋으로 나눈다면 첫째는 R,L,C 소자의 값, 둘째는 Driver에 의한 Delay, 그리고 셋째는 Clock이 지나가는 Pattern 주 변 요소에 의한 특성 변화일것이다. 이러한 세가지 요소는 한번 설계되어 PCB가 제작되면 어 떠한 경우든 변경하기가 힘들게 되는데 본 발명에서는 PLD를 사용하여 PLD내부의 Delay 기능 과 여러 Pattern에서 오는 신호를 PLD에서 선택하게 만들어서 위의 세가지 요소를 가변 가능 하게 만들어서 최적의 특성을 얻는 방법이다. 이러한 경로를 얻는 방법은 두가지 기능의 수 행으로 볼수 있는데 첫번째 기능은 여러 Pattern에서 오는 경로를 전부 하나씩 Scan해서 가 장 Noise Level이 낮은 Pattern을 찾고 두번째 기능은 첫번째에서 찾은 가장 낮은 Noise Level을 갖는 최적의 경로에서 Delay Offset을 주어서 최대 SNR 값을 찾는 원리이다. 이 동 작을 Timer를 돌려서 일정 시간마다 Check하여 최적의 경로를 찾아 연결하여 주변환경의 변 화에도 최적의 특성을 가질수 있게 할수 있다.

4) 본 발명의 구성 및 그 전반적인 동작설명

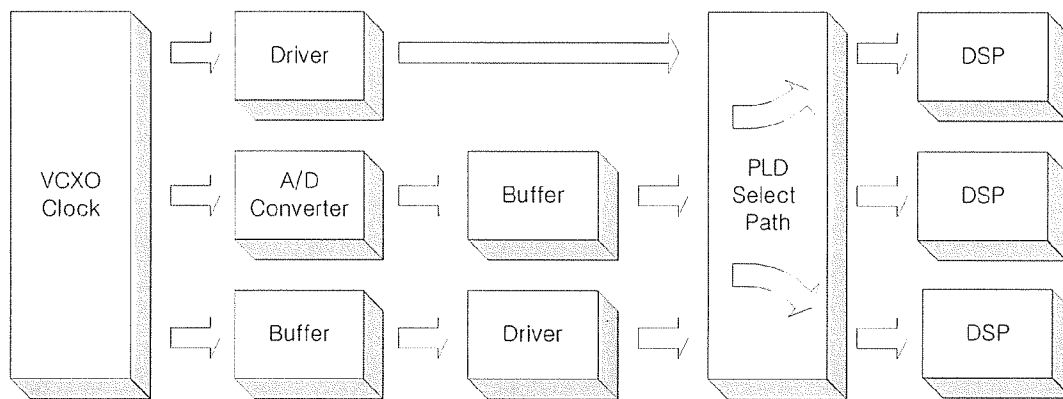
*본 발명은 본 발명이 속하는 기술분야 또는 연관된 기술분야에 종사하는 기술자라면 누구라도 실시할수 있을 정도로 상세하고도 정확한 표현으로 기재하시기 바람.

DSP를 사용하고 A/D Converter를 사용하는 Board에서 입력 Clock의 특성과 파형의 질은 전체 SNR을 결정 짓는 중요한 요소이다. Clock에 의해서 Latch하는 Timing에 따라서 Sampling Noise가 발생하게 되고 이는 Quantizing Noise와 연결되어 더욱 큰 Noise 요소로 자리잡게 된다. 그리고 A/D Converter 로 입력 되는 Clock과 DSP로 입력되는 Clock과의 Delay와 위상이 외부 요소에 따라 전달 경로중에 변 하게 된다면 결국 DSP에서 처리하는 DATA는 엉뚱한 DATA로 인식하게 될수 있다. 결국 개발자는 고속 화된 Digital Data들 사이를 어쩔수 없이 통과하게 되는 Clock과 중요 Data를 최적의 상태로 선택하 여 사용하기 위해서 Clock이 지나가는 경로를 바꾸어 가며 실험하게 된다. 본 발명에서는 이러한 일 을 PLD와 그의 간단한 추가 요소로 꾸미고 CPU를 통하여 경로를 Scan한 값을 비교하여 최적의 경로와 최대 SNR을 얻게 하는 것이다. 크게 두가지 동작으로 나누어진다. 첫번째는 Clock이 지나가는 여러경 로중 가장 Noise Level이 낮은 경로를 찾아가는 것이다. 만약 VCXO에서 DSP와 A/D Converter로 입력 되는 Clock의 경로가 아래와 같이 3개의 경로라고 가정하자.



4) 항에서 계속

위의 경우 실제로는 각각 다른 경로로 진행되었다고 가정하고 각각의 경로를 통해서 들어온 Clock는 PLD를 거치게 만들어서 결국 DSP로 입력되게 만들어 놓는다. 아래의 그림과 같은 구성으로 회로를 구성하고 3가지 Path를 가지고 Rx DSP에서 RSSI값을 읽어 온다. RSSI값은 DSP 내의 AGC Gain을 말하는 것으로 $Gain(x) = Gain(x-1) + Error_out(x)$ 로 표시할수 있다. 즉 이전단계의 Gain에 영향을 받는 함수이다. 이 AGC값을 가지고 Rx DSP는 일정 Level로 맞추는 일을 수행하게 되는데, 만약 낮은 Level의 신호가 들어오면 높은 값의 AGC값을 가지고 되고 높은 Level의 신호가 들어오면 낮은 값의 AGC값을 가지게 되어 있다. 이를 이용하여 초기 Noise Level을 측정할수 있다. Rx단 입력의 신호가 가장 낮은 Noise Level을 가지게 하려면 앞에서 말한 입력 Clock의 특성이 중요한데, 이를 알아보기 위하여 Rx 입력단을 무신호 입력 상태로 만들고 앞에 그림에서의 3가지 경로의 AGC를 측정하여 가장 AGC값이 높은 경로를 찾으려 한다. PLD 내부는 각각의 경로에 대하여 한개씩의 IN Path와 DSP로의 1개의 OUT Path를 가지고 측정한 AGC값에 근거하여 가장 AGC값이 높은 쪽으로 Path를 연결 시켜 준다. 이는 AP상에서 C언어를 가지고 비교 Program을 만들어서 손쉽게 구현할수가 있다.



구현된 Program을 실행 시킨 결과가 아래와 같다면 AGC값이 제일 높은 Path가 가장 Noise Level이 낮은 Path인것이고 3가지 Path를 비교하여 PLD는 Path로 경로를 연결할것이다.

Best Path = Path1 (Selected Path is Path1)

AGC value of DSP for Path1 : 741b !!

AGC value of DSP for Path2 : 543c !!

AGC value of DSP for Path3 : 562a !!

실제로 위의 Path의 Noise Level은 -80dBm에 가까운 정도이다. Noise Level이 가장 낮은 Path가 결정 되었다면 두번째 단계로 SNR 값을 증가시키기 위한 Delay Offset을 주는 방법을 적용해야 한다. 만약 VCXO의 Clock가 50Mhz라고 하면 20ns의 주기를 가지게 되고 Rising Edge의 Offset은 최대 +10ns ~ -10ns가 된다. PLD에서는 VHDL의 합성 Tool 기능에 따라서 Fitting하는 방법과 Path를 변화시켜서 Delay를 줄수 있는 기능이 있다. 이제 Delay를 +8ns, +6ns, +4ns, +2ns, 0ns, -2ns, -4ns, -6ns, -8ns의 9가지 단계로 구분하고 PLD Source에 각 Delay에 대한 Option을 주자. 그리고 9가지 단계를 +8ns ~ -8ns까지 차례대로 적용하면서 DSP에서의 SNR값을 읽어본다.

AGC value of DSP for Delay -8ns : 112a !!

AGC value of DSP for Delay -6ns : a95 !!

AGC value of DSP for Delay -4ns : 9fa !!

AGC value of DSP for Delay -2ns : 83c !!

AGC value of DSP for Delay 0ns : d43 !!

AGC value of DSP for Delay +2ns : 142a !!

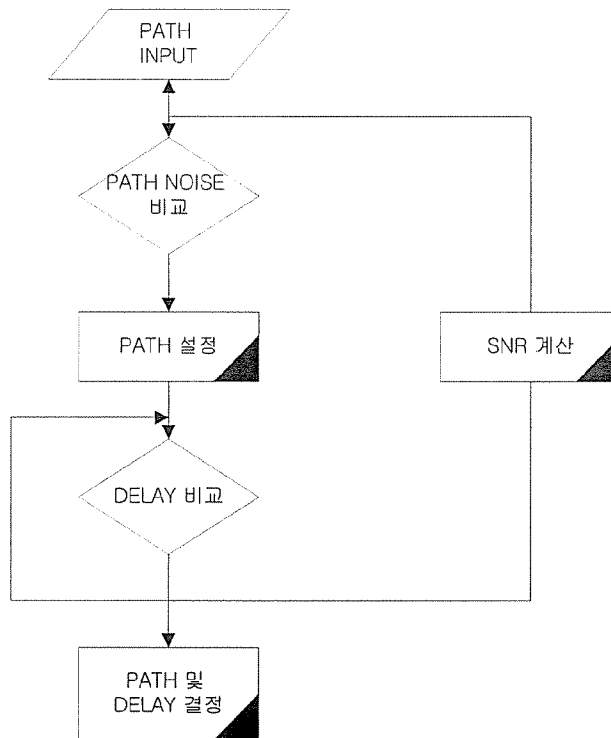
AGC value of DSP for Delay +4ns : 1e1b !!

AGC value of DSP for Delay +6ns : 343c !!

AGC value of DSP for Delay +8ns : 1b2a !!

4) 항에서 계속

SNR값은 Signal to Noise Rate이므로 첫단계에서 결정된 Path1의 Noise Level에서 9개의 Delay 단계를 가진 Signal의 Level의 비율을 따져보면 된다. 하지만 AGC값은 결국 Signal의 Level을 나타내므로 위의 9개의 값중 -2ns의 Delay일때의 값이 가장 작아서 최대 SNR을 갖는 Signal이 된다. 이렇게 두가지 단계를 거쳐서 결국은 위에서 실험한 Board는 VCXO에서 Driver를 거쳐 DSP로 입력되는 Clock Source가 가장 특성이 좋고 이는 -2ns의 Delay를 가질때 SNR이 최적인 값을 가지게 된다는 것을 알수 있다. 이러한 두가지 단계는 PLD 내부에서는 결국 Path를 설정하는 Switch역할과 Delay를 발생시키는 역할을 하게 되고 AP에서는 C언어로 간단하게 구현하여 알아볼수 있다. 이렇게 까지의 단계를 거쳐서 개발자는 최종 Board의 설계시 위에서 선택한 경로를 통해 설계하면 된다. 아래는 지금까지의 과정을 Flow Chart로 표현 하였다.



5) 본 발명의 다른 실시예

4)항에 기재된 본 발명의 주요 실시예 이외에 다른 실시예가 있으면 도면을 도시하고, 그 내용을 실시할 수 있을 정도로 구체화 하여 기재.

본 발명은 비단 Board 설계 초기에 어떤 Path를 결정하고 Delay는 어떤 값이 적당한가에 대한 결정을 하는 것에 적용하는 것만은 아니다. 본 발명의 기술을 적용시킬때 일정 주기마다 상태를 Check하는 Timer를 만들어 놓으면 주기적으로 일정시간마다 상태를 점검해서 최적의 SNR을 갖는 회로로 구현할수도 있다. 이는 다른 시각에서 보면 시시각각으로 변하는 외부 환경 및 저해 요소 발생시 이 상태를 FeedBack 시켜 최적의 상태로 유지 시켜 주는 역할을 하게 할수도 있다. 그리고 만약에 여러 Path에 대한 Select는 DSP만 이용한다면 동일 Board뿐만이 아니고 서로 다른 Board간의 Signal 연결시에도 적용할수 있다. 만약 Back Board에 PLD 부분을 삽입하여 이용한다면 Back Board를 지나가는 수많은 Signal Path중에서 가장 특성이 좋은 Path를 선택해서 이용할수도 있다

6) 본 발명의 효과

본 발명과 종래기술과의 구성 및 동작의 차이에서 오는 효과를 구체적으로 기재하고, 부수적으로 발생하는 이점도 기재하나, 단 기술적인 근거가 없는 막연한 경제적 효과 등은 기재 불필요.

A/D 또는 D/A Converter를 사용하고 이들 Digital 신호를 DSP로 처리하는 Board에서는 실제로 Board를 설계하고 완성하는데 Colck에 의한 특성 때문에 원하는 Spec이 나올때까지 Clock의 요소를 바꾸어 시험해야 하는데 PCB는 한번 제작하면 변경할수 없기 때문에 할수 없이 여러 번의 PCB를 제작 해서 각 요소의 변경이 있을때마다 시험을 해야 한다. 또한 원하는 Spec의 PCB가 제작되었더라도 제작 환경에 민감한 변화에 의해 특성의 변화가 생기고 이를 Optimizing하기 위해 R,L,C의 값을 변경해서 각 Board마다의 미세한 차이를 극복하고 있다. 이러한 점에 의하여 개발자는 여러번의 PCB를 제작함에 의해 비용과 시간을 허비해야 하고 미세한 외부 변화가 있을때마다 직접 R,L,C 값을 변화시켜 주어야 하는 번거로움이 있었다. 하지만 본 발명 기술을 적용하면 환경의 변화 그리고 초기 시험을 위한 Test Bench Board 개발시에 최적화된 상황의 Clock 경로를 찾을수 있고 이를 적용하여 FIX된 PCB를 제작하고나서도 위에서 말한 여러 상황변화가 발생하면 그에 따른 보상을 적용하여 최적의 상황을 Detect하고 최적의 SNR을 얻을 수 있다. 그리하여 개발자는 개발비를 줄일수 있고, 만약 생산되어진 Board의 외부 환경 변화가 심하다면 이럴때마다 개발자가 일일이 Setting 해주어야 하는 불편함이 없이 지속적으로 가장 특성이 좋은 Path와 SNR을 가질수 있다.

3. 발명의 권리보호 범위

본 항은 발명의 명세서에 기재된 내용중 권리로서 보호 받고자 하는 사항을 기재하되, 본 발명에 의해 새롭게 창작된 구성 혹은 기능만을 기재함. 특히, 그중 보호를 받아야 할 부분이나, 또 다른 실시예가 있는 경우 이를 다른 항으로 명확하고, 간결하게 기재하시기 바람.

1. PLD를 이용하여 Noise Level을 비교하여 Path를 선택할수 있는 방법
2. DSP의 AGC값을 읽어서 SNR을 측정하여 최적의 신호를 찾아내는 방법
3. PLD의 Option으로 신호에 Delay를 주어서 DSP입력 Clock의 Latch time을 최적으로 맞추어 주는 방법
4. 위의 방법들에 주기적으로 상태를 Check하는 Timer를 추가하여 최적의 Path와 Delay Time 상태를 FeedBack시켜 상태 유지시키는 방법

4. 도면의 간단한 설명

- ※도면의 도시된 내용에 따라 발명자가 의도했던 내용이 변할수 있으므로 본 발명서에 필요한 도면을 정확하게 표시하여, 명세서 뒤에 반드시 첨부하시기 바람.
- ※ ①전자전기회로 관련 출원은 회로도, 블록도, FLOW CHART, 특성그래프 등이 첨부되어야 함.
②기계관련 출원은 전체 구조도, 상세 구조도, 투시도 등이 첨부되어야 하며,
③공정관련 출원은 전체공정 계통도와 상세공정도 및 특성그래프 등이 첨부되어야 함.
- ※본 항에 예를들면 "제1도는 XXX 회로도, 제2도는 ...소자의 단면도...",와 같이 기재바람.
- ※도면의 필요한 부분에 대해서는 그 명칭을 본 항 하단부 아래에 기재하시기 바람.
(<예>1:제어부 2:감지부)

도면 및 Flow Chart는 4)본 발명의 구성 및 그 전반적인 동작설명부분에 같이 첨부되어 있음